

PATENT COOPERATION TREATY

PCT

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

IWAHASHI, Fumio
Matsushita Electric Industrial
Co., Ltd.
1006, Oaza Kadoma
Kadoma-shi, Osaka 571-8501
JAPON

Date of mailing (day/month/year) 19 July 2001 (19.07.01)		IMPORTANT NOTICE	
Applicant's or agent's file reference P24657-PO			
International application No. PCT/JP01/00116	高周波部品 21770	International filing date (day/month/year) 12 January 2001 (12.01.01) ✓	Priority date (day/month/year) 12 January 2000 (12.01.00)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD et al			

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:

US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

CN,EP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 19 July 2001 (19.07.01) under No. WO 01/52402 ✓

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

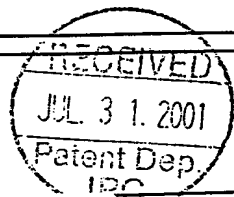
If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer J. Zahra
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38

Form PCT/IB/308 (July 1996)

ATTACHMENT A





PATENT COOPERATION TREATY

PCT

From the INTERNATIONAL BUREAU

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

高周波

To:

IWAHASHI, Fumio
Matsushita Electric Industrial
Co., Ltd.
1006, Oaza Kadoma
Kadoma-shi, Osaka 571-8501
JAPON

Date of mailing (day/month/year) 17 March 2001 (17.03.01)		IMPORTANT NOTIFICATION International filing date (day/month/year) ✓ 12 January 2001 (12.01.01) Priority date (day/month/year) 12 January 2000 (12.01.00)
Applicant's or agent's file reference P24657-P0	高周波部品 21770	
International application No. PCT/JP01/00116 ✓		
International publication date (day/month/year) Not yet published		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD et al		

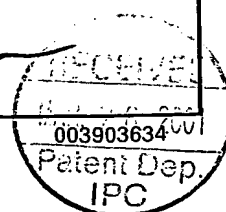
- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
12 Janu 2000 (12.01.00)	2000/3284	JP	02 Marc 2001 (02.03.01)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer Taïeb Akremi Telephone No. (41-22) 338.83.38
--	---

Form PCT/IB/304 (July 1998)

ATTACHMENT F





PCT

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 P 2 4 6 5 7 - P 0	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/J P 0 1 / 0 0 1 1 6	国際出願日 (日.月.年) 1 2 . 0 1 . 0 1	優先日 (日.月.年) 1 2 . 0 1 . 0 0
出願人 (氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 4 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H03B5/12, H03B5/02		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H03B5/00-5/18		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2001年 日本国登録実用新案公報 1994-2001年 日本国実用新案登録公報 1996-2001年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) WPI/L		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y ✓	JP, 50-125659, A (アルプス電気株式会社) 2. 10月. 1975 (02. 10. 75) 図1 (ファミリーなし)	1-22
Y ✓	JP, 9-148888, A (アルプス電気株式会社) 6. 6月. 1997 (06. 06. 97) 図1 & DE, 19647383, A & US, 5808531, A & KR, 97031278, A	1-22
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 06. 04. 01	国際調査報告の発送日 17.04.01	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小林 正明 5W 4241 電話番号 03-3581-1101 内線 3574	

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y ✓	JP, 61-32603, A (富士通株式会社) 15. 2月. 1986 (15. 02. 86) 第1図 (ファミリーなし)	1-22
Y ✓	JP, 4-249409, A (松下電器産業株式会社) 4. 9月. 1992 (04. 09. 92) 全文, 全図	1-22
Y ✓	JP, 11-127028, A (アルプス電気株式会社) 11. 5月. 1999 (11. 05. 99) 全文, 全図 & EP, 911960, A	3, 13-22
Y ✓	JP, 8-316731, A (ティーディーケイ株式会社) 29. 11月. 1996 (29. 11. 96) 図1 (ファミリーなし)	5
Y ✓	JP, 11-168324, A (株式会社村田製作所) 22. 6月. 1999 (22. 06. 99) 図1 & DE, 19855886, A & US, 6072373, A	7
Y ✓	JP, 11-298242, A (松下電器産業株式会社) 29. 10月. 1999 (29. 10. 99) 図1 (ファミリーなし)	8-22
Y ✓	JP, 11-312925, A (京セラ株式会社) 9. 11月. 1999 (09. 11. 99) 第5頁第7欄第1~8行 (ファミリーなし)	9
Y ✓	JP, 3-18106, A (富士通株式会社, 富士通ヴィエルエス アイ株式会社) 25. 1月. 1991 (25. 01. 91) 第3図 & US, 5130939, A	12
Y ✓	JP, 61-113410, U (アルプス電気株式会社) 17. 7月. 1986 (17. 07. 86) 第11頁第6~15行, 図1 (ファミリーなし)	13, 14, 16
Y ✓	JP, 4-329705, A (株式会社村田製作所) 18. 11月. 1992 (18. 11. 92) 全文, 全図 (ファミリーなし)	17, 18, 20

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y ✓	JP, 10-51236, A (住友金属工業株式会社) 20. 2月. 1998 (20. 02. 98) 図2 (ファミリーなし)	19

明 細 書

複数周波数帯用電圧制御発振器

5 技術分野

本発明は、移動体通信装置に使用される複数周波数帯用電圧制御発振器に関するものである。

背景技術

- 10 近年移動体通信は、急激な普及が進んでおり当初割当てられた周波数帯だけではサービスが提供できなくなり、1.5～2GHz帯に新たな周波数のサービスが導入された。その結果、移動体通信端末においては、その両方の周波数帯域に対応できるものが要求されてきた。一方高周波半導体技術の進歩も著しく、このような背景の中で、移動体通信用発信器においては少なく
- 15 とも3つのバンドで発振可能であって、かつ半導体集積回路化に適した電圧制御発振器が要望されていた。

- 以下、従来の移動体通信装置に使用される複数周波数帯用電圧制御発振器について説明する。従来の複数周波数帯用電圧制御発振器は第7図に示すように、略900MHzのローバンドの周波数と略1800MHzのハイバンドの周波数とが切替え可能な共振回路1と、この共振回路1に接続された発振回路2と、この発振回路2の出力に接続されたバッファ回路3と、このバッファ回路3の出力が接続された出力端子4とで構成されていた。共振回路1はバリキャップダイオード5とコンデンサ6の並列接続体7と、インダクタ8とインダクタ9の直列接続体10とが並列接続された並列接続体で形成
- 20
- 25 されていた。

ここで、バリキャップダイオード5には制御端子12から供給される制御電圧により、その静電容量が変化し、発振周波数を連続的に可変させていた。また制御端子12には、PLL回路の出力がローパスフィルタを介して接続されていた。

5 また、周波数のバンド切替えはバンド切替え端子13からの入力に電源Vcc又はグランド電位を与えることにより、インダクタ9と並列に接続された電子スイッチ14をオン・オフさせて、インダクタ9の両端を開放・短絡することにより行っていた。

すなわち、ハイバンドの周波数を発振させるときには、電子スイッチ14
10 をオンしてインダクタ9の両端を短絡させて並列接続体7とインダクタ8との並列接続により略1800MHzの周波数が出力されるようになっていた。また、ローバンドの周波数を発振させるときにはインダクタ9の両端を開放させて並列接続体7と直列接続体10との並列接続により略900MHzの周波数が出力されるようになっていた。また、この発振器はPLL回路にループ接続されて移動体通信装置に用いられていた。
15

しかしながらこのような従来の構成では、電子スイッチ14の切替えにおいてバンド切替え端子13に電源Vcc又はグランド電位を与えて切替えるわけであるが、特にグランド電位を与えたとき完全なゼロ電位を供給することが困難で、微少な正電位状態で動作することになる。結果として電子スイッチ14は完全にオフにならないため不安定な状態となり、そのため発振周
20 波数や発振レベルの温度特性が不安定になるという問題があった。

本発明は、このような問題点を解決するもので、スイッチ手段が確実にオン・オフする複数周波数帯用電圧制御発振器を提供することを目的としたものである。

発明の開示

この目的を達成するために本発明の複数周波数帯用電圧制御発振器は、発振トランジスタからの発振周波数を出力するバッファトランジスタの出力に接続された負電源生成回路と、この負電源生成回路の出力と正電源とを選択的に切替える第2のスイッチ手段と、外部から出力周波数切替え信号が入力されるモード切替え回路とを設け、少なくとも前記発振トランジスタと前記バッファトランジスタと前記負電源生成回路と前記モード切替え回路とを1つのパッケージに集積するとともに、前記第2のスイッチ手段の出力で前記第1のスイッチ手段の開放・短絡を制御することにより、前記出力端子から低い周波数帯の発振出力と高い周波数帯の発振出力とが選択的に出力される構成としたものである。

これにより、スイッチ手段を確実にオン・オフすることができる。

また請求の範囲第2項に記載の発明は、発振器を不平衡型としたので、パッケージ内の半導体部品点数が少なく低消費電流化された高周波回路に適し、かつ小型化に適したものとなる。

さらに請求の範囲第3項に記載の発明は、発振器が平衡型なので、電源端子に流れる電流が常に一定となり、他の回路との発振信号の漏洩による干渉妨害を小さくすることができる。

また請求の範囲第4項に記載の発明は、第1のスイッチ手段をダイオードで形成しているので、部品点数が少なくてすみ、小型化、低価格化が実現できる。

さらに請求の範囲第5項に記載の発明は、第1のスイッチ手段をトランジスタで形成しているので、制御電流を少なくすることができる。

また請求の範囲第6項に記載の発明は、第2のスイッチ手段に供給される正電源が集積されたパッケージの電源端子から供給されるものであるので、

パッケージに専用の端子を設ける必要がない。

さらに請求の範囲第 7 項に記載の発明は、バッファトランジスタのコレクタと電源との間にはパターンで形成された第 3 のインダクタと第 4 のインダクタが直列接続されるとともに、前記第 4 のインダクタの両端を第 2 のスイッチ手段の出力で開放・短絡する第 3 のスイッチ手段を設け、前記第 3 のインダクタの長さは高い方の出力周波数帯の略 4 分の 1 波長に設定するとともに、前記第 3 のインダクタと前記第 4 のインダクタの合成パターンの長さは低い方の出力周波数帯の略 4 分の 1 波長に設定したものであり、第 1 の出力端子から出力される高い方の周波数も低い方の周波数もバッファトランジスタの負荷を夫々の出力周波数の 4 分の 1 波長にすることにより、発振出力エネルギーを効率良く出力できる。

また請求の範囲第 8 項に記載の発明は、第 2 の発振トランジスタのベースとコレクタとの間に接続されたインダクタとキャパシタの並列接続体と、前記第 2 の発振トランジスタの出力が接続された第 2 のバッファトランジスタと、この第 2 のバッファトランジスタの出力が接続された第 2 の出力端子と、前記キャパシタを形成する第 2 のバリキャップダイオードに制御電圧を印加する制御端子と、前記インダクタを形成する第 5 のインダクタとを備え、外部からの切替え信号によりモード切替え回路で、第 1 の出力端子からの出力と前記第 2 の出力端子からの出力とを選択的に出力するものであり、モード切替え回路により、前記第 1 の出力端子から 2 つの周波数帯の周波数が出力され、前記第 2 の出力端子から 1 つの周波数帯の周波数が出力され、外部からの切替え信号により合計 3 帯域の周波数が選択的に出力させることができる。

さらに請求の範囲第 9 項に記載の発明は、第 1 の出力端子から周波数切替えにより出力される第 1 の周波数と第 2 の周波数との比を 1.2 以下にする

とともに、前記第 1 の周波数と第 2 の出力端子から出力される第 3 の周波数との比は 1.5 以上としたものであり、第 1 の出力端子から出力される第 1 の周波数と第 2 の周波数が略等しいので、第 1 の発振回路を形成するバリキャップダイオードの周波数感度が略等しくなる。

- 5 また請求の範囲第 10 項に記載の発明は、第 1 の出力端子から出力されているときには、第 2 の発振トランジスタによる発振をオフとし、第 2 の出力端子から出力されているときには、第 1 の発振トランジスタによる発振をオフとしたものであり、選択されている以外の発振トランジスタをオフにしているので、出力端子からは単一の周波数のみが出力され、異なる発振周波数
- 10 同士が混ざり合うことはない。

さらに請求の範囲第 11 項に記載の発明は、第 1 の出力端子と第 2 の出力端子の出力の論理和出力を第 3 の出力端子に導出したものであり、パッケージの外部に論理和回路を設ける必要はなく、装置全体の小型化に寄与することができる。

- 15 また請求の範囲第 12 項に記載の発明は、論理和回路の出力に PLL 回路を接続するとともに、この PLL 回路も同一のパッケージ内に実装したものであり、PLL 回路も同一パッケージに実装しているので、小型化と低価格化を図ることができる。

- さらに請求の範囲第 13 項に記載の発明は、バリキャップダイオードと直
- 20 列或いは並列に第 1 のコンデンサを設け、この第 1 のコンデンサの両端に接続されたスイッチ手段の開放・短絡でローバンドとハイバンドの周波数感度を略等しくしたものであり、バリキャップダイオードと直列或いは並列に接続されたコンデンサの両端を開放・短絡することにより、ローバンドとハイバンドの周波数感度を等しく設定することができる。従って、この発振器を
- 25 PLL 回路と接続した場合、PLL 回路のローパスフィルタをローバンド用

とハイバンド用の２種類用意することなく、安定した複数周波数帯用電圧制御発振器が実現できる。

また、一つのパッケージに集積回路化されているので、他の回路、例えば LNA や MIX などとともに集積回路化すれば小型化も図れる。

- 5 次に請求の範囲第 14 項に記載の発明は、バリキャップダイオードと第 1 のコンデンサの接続体に第 2 のコンデンサを直列に接続したものであり、第 2 のコンデンサでローバンド時の周波数感度を適正に設定できるとともにスイッチ手段を開放・短絡することにより前記第 1 のコンデンサでハイバンドの周波数感度を前記ローバンドの周波数感度と等しくすることができる。
- 10 次に請求の範囲第 15 項に記載の発明は、第 1 のインダクタを略同じインダクタ値に 2 分割すると共に、この 2 分割されたインダクタの間に第 2 のインダクタを接続したものであり、スイッチ手段が接続される第 2 のインダクタの両側に 2 分割された第 1 のインダクタが接続されるので、電源端子に対するスイッチ手段の影響が少なく、共振回路の平衡度も良い。
- 15 次に請求の範囲第 16 項に記載の発明は、バリキャップダイオードと並列にコンデンサを接続したものであり、バリキャップダイオードによる周波数感度を適正化することができる。
- 20 次に請求の範囲第 17 項に記載の発明は、第 1 のインダクタと第 2 のインダクタをパターンで形成したものであり、インダクタはパターンで形成されているので、たとえ振動してもインダクタの値が変わることはなく、移動体通信用として優れた性能を発揮することになる。
- 25 次に請求の範囲第 18 項に記載の発明は、第 1 のインダクタをトリミングしてハイバンドの出力周波数を調整した後、第 2 のインダクタをトリミングしてローバンドの出力周波数を調整するものであり、トリミングによりハイバンドとローバンドの周波数を独立に調整することができる。また、インダ

クタはパターンで形成されているので、調整した後の周波数は安定している。

次に請求の範囲第 19 項に記載の発明は、多層基板の内層にインダクタが形成されるとともに、このインダクタの上層或いは下層はグラウンドパターンが除去されたものであり、インダクタの近傍にグラウンドがないので、Q の高いインダクタを得ることができ、所望の C/N 特性を容易に実現できる。

次に請求の範囲第 20 項に記載の発明は、多層基板の内層にインダクタが形成されるとともに、このインダクタの一部をビアホールで表面に導出し、前記インダクタの一部をトリミングすることにより周波数を調整するものであり、電子部品の中では形状の大きい部品であるインダクタを基板内の内層に設けるので小型化が実現できる。また、調整に関しては調整用のインダクタが表面に導出されているので、周波数調整が容易にできる。

次に請求の範囲第 21 項に記載の発明のスイッチ手段は、第 1 のコンデンサと第 2 のインダクタの両端に夫々スイッチングダイオードを接続し、これらのスイッチングダイオードの両端に同一パッケージ内で生成された電圧を加えることにより、開放・短絡を制御するものであり、簡単な回路で実現しているので、小型化と低価格化を図ることができる。

次に請求の範囲第 22 項に記載の発明は、第 1 のインダクタを 1 個のインダクタンス素子で形成したものであり、第 1 のインダクタは 1 個となり、小型化と低価格化を図ることができる。

20

図面の簡単な説明

第 1 図は本発明の実施例 1 による複数周波数帯用電圧制御発振器の回路図である。

第 2 図は同、実施例 2 による複数周波数帯用電圧制御発振器の回路図である。

25

第3図は同、スイッチ手段のスイッチ開放時の共振回路の等価回路図である。

第4図は同、スイッチ手段のスイッチ短絡時の共振回路の等価回路図である。

- 5 第5図は同、周波数バンドの説明図、第6図は同、多層基板の分解斜視図である。

第7図は従来の移動体通信用発信器の回路図である。

発明を実施するための最良の形態

- 10 以下、本発明の実施例について図面に基づいて説明する。

(実施例1)

- 第1図は、本発明の実施例1における複数周波数帯用電圧制御発振器の回路図であり、不平衡発振器を用いて説明したものである。第1図において、
21は発振トランジスタであり、バッファトランジスタ22とカスコード接
15 続されている。23はコンデンサであり、発振トランジスタ21のコレクタ
を高周波的に接地している。24は発振トランジスタ21のベースとエミッタ間に挿入されたコンデンサ、25はこのエミッタとグランドとの間（高周波的にはエミッタとコレクタ間）に接続されたコンデンサであり、26はエミッタとグランド間に接続された抵抗である。結合コンデンサ27と共振回
20 路（後述）28が直列接続されて発振トランジスタ21のベースとグランド間（高周波的にはベースとコレクタ間）に接続されてコルピッツ型の発振回路を形成している。

- 共振回路28は、コンデンサ29とバリキャップダイオード30の直列接続体にコンデンサ31が並列接続され、更にパターンで形成されたインダクタ32と33の直列接続体が並列に接続されている。ここで、29と31は
25

バリキャップダイオード 30 の感度補正用であり、コンデンサ 29 は直流カット用のコンデンサでもある。バリキャップダイオード 30 はインダクタ 34 を介して制御端子 35 に接続されており、この制御端子 35 に加わる電圧を制御することにより、バリキャップダイオード 30 の静電容量が変化して、共振回路 28 の共振周波数が制御される。本実施例では制御端子 35 の電圧を略 0.5 V ~ 2.5 V 変化させることにより、80 ~ 100 MHz の変化幅の範囲内で制御することができる。36 は制御端子 35 とグランドとの間に接続されたバイパスコンデンサである。

インダクタ 33 の両端には、コンデンサ 37 とダイオード 38 の直列接続体が接続されて第 1 のスイッチ手段 38a を形成している。37 は直流カット用のコンデンサである。ダイオード 38 のアノード側にはインダクタ 39 を介して第 2 のスイッチ手段 40 から正電圧又は負電圧が供給される。スイッチ手段 40 から正電圧が供給されるとダイオード 38 はオンとなり、インダクタ 33 は高周波的に短絡される。すなわち、共振回路 28 のインダクタンスはインダクタ 32 だけとなり、高い周波数（例えば 1850 ~ 1990 MHz）で発振する。また、スイッチ手段 40 から負電圧が供給されるとダイオード 38 はオフとなり、インダクタ 33 の両端は高周波的に開放される。すなわち、共振回路 28 のインダクタンスはインダクタ 32 とインダクタ 33 の直列回路となり、低い周波数（1710 ~ 1880 MHz）で発振する。なお、ここでスイッチ手段 38a として、ダイオード 38 を用いたがこれは従来例で示したようにトランジスタを用いることもできる。トランジスタを用いれば制御電流を少なくすることができる。

バッファトランジスタ 22 のコレクタは、パターンで形成されるとともに直列に接続されたインダクタ 41 と 42 を介して正電源 43（例えば 3.0 V）に接続されている。44 は正電源 43 とグランドとの間に接続さ

れたバイパスコンデンサである。インダクタ 4 2 の両端には、コンデンサ 4 5 とダイオード 4 6 とコンデンサ 7 0 とがこの記載順に直列接続されて第 3 のスイッチ手段が形成されている。ここで、インダクタ 4 1 は高い方の出力周波数の 4 分の 1 波長に設定し、インダクタ 4 1 とインダクタ 4 2 の合成パターンの長さは、低い方の出力周波数の 4 分の 1 波長に設定している。なお、コンデンサ 4 5 とコンデンサ 7 0 は直流カット用のコンデンサである。ダイオード 4 6 のアノード側は、パターンで形成されたインダクタ 7 1 を介して前記スイッチ手段 4 0 に接続されて正電圧又は負電圧が供給される。またダイオード 4 6 のカソード側はパターンで形成されたインダクタ 7 2 を介してグラウンドに接続されている。このインダクタ 7 1 と 7 2 は交流カット用である。このようにダイオード 4 6 にはグラウンド電位ではなしに負電圧が与えられるので、確実にオン・オフすることができる。

すなわち、スイッチ手段 4 0 から正電圧が供給されるとダイオード 4 6 はオンとなり、インダクタ 4 2 の両端は短絡される。従って、このときはバッファトランジスタ 2 2 の負荷はインダクタ 4 1 のみとなり、高い方の出力周波数の発振エネルギーを効率良く出力できる。また、スイッチ手段 4 0 から負電源が供給されるとダイオード 4 6 はオフとなり、インダクタ 4 2 の両端は開放される。従って、このときはバッファトランジスタ 2 2 の負荷はインダクタ 4 1 とインダクタ 4 2 の直列接続となり、低い方の出力周波数の発振エネルギーを効率良く出力できる。なおここで、高い方の周波数と低い方の周波数の比が 1.3 程度以下ならば、バッファトランジスタ 2 2 のコレクタのインピーダンスを一定にしても略同様の性能を得ることができる。

バッファトランジスタ 2 2 のコレクタは出力回路 4 7 を経てパッケージ 4 8 の端子 4 9 に接続されている。端子 4 9 はコンデンサ 5 0 を介して複数周波数帯用電圧制御発振器 5 1 の第 1 の出力端子 5 2 に接続されている。こ

の第1の出力端子52からはDCS（1800MHz帯を使った欧州携帯電話方式）／PCS（米国方式の1900MHz帯携帯電話方式）用の周波数が出力される。すなわち、スイッチ手段40から正電源が出力されたときは、高い方の周波数であるPCSの1850～1900MHzの発振周波数が出力される。また、スイッチ手段40から負電源が出力されたときは、低い方の周波数であるDCSの1710～1880MHzの発振周波数が出力される。なお、48は半導体集積回路が実装されているパッケージであり、51は実施例1における複数周波数帯用電圧制御発振器である。

53は正電源43と接続された端子であり、この端子53からはパッケージ48内の各回路に電源が供給されるとともにスイッチ手段40の一方の端子にも供給されている。また、端子53からはスイッチ54を介して抵抗55と56と57とがこの順に直列接続されてグランドに接続されている。抵抗55と56の接続点はバッファトランジスタ22のベースに接続されてバイアス電圧を与えている。また、抵抗56と57の接続点は発振トランジスタ21のベースに接続されてバイアス電圧を与えている。58は、バッファトランジスタ22のベースとグランド間に接続されたコンデンサであり、バッファトランジスタ22をベース接地型で動作させている。なお、トランジスタ21、22は共にNPN型のトランジスタである。

なお、本実施例1ではもう一つの周波数を発振させる発振回路を有している。この発振回路はGSM（欧州携帯電話方式）の880～960MHzを発振させるものであり、その出力は第2の出力端子52aから出力される。なお、各素子の接続や働きはDCS／PCSのものと同じものには添え字aを付して説明を簡略化する。

ここで、発振周波数はインダクタ32aとコンデンサ31aとバリキャップダイオード30aの並列回路で決定される。このときも制御端子35に加

える電圧により、バリキャップダイオード30aの静電容量が変化して共振周波数が制御される。また、インダクタ41aはパターンで形成されると共にGSMの出力周波数880～960MHzの略4分の1波長にして発振エネルギーを効率よく第2の出力端子52aに出力している。

- 5 このDCS/PCSの出力とGSMの出力は論理和が取られて、パッケージ48の端子59に接続される。この端子59の信号はコンデンサ60を介して端子61に接続される。この端子61の信号はPLL回路の比較入力端子に接続される。なお、このPLL回路はパッケージ48内に形成しても良い。このことにより、複数周波数帯用電圧制御発振器の小型化が実現できる。
- 10 出力回路47でDCS/PCSの出力とGSMの出力は論理和が取られて、負電源生成回路67に入力されて負電源が生成される。この負電源はスイッチ手段40の他方の端子に入力される。そして、共通端子はパッケージ48の端子68を経てダイオード38と46に供給される。

- 62と63は外部から発振周波数切替え信号が入力される端子であり、
- 15 夫々パッケージ48の端子64と65に接続される。この信号はモード切替え回路66に入力され、スイッチ手段40とスイッチ54とスイッチ54aを制御する。すなわち、切替え信号がDCSを指定したときには、スイッチ54をオンにするとともにスイッチ54aをオフにして、DCS/PCS側のみを動作状態にし、更にスイッチ手段40を負電源側に選択してDCS側
- 20 とし、ダイオード38とダイオード46をオフにしてインダクタ33とインダクタ42の両端を開放する。また、切替え信号がPCSを指定したときには、スイッチ54をオンにするとともにスイッチ54aをオフにして、DCS/PCS側のみを動作状態にし、スイッチ手段40を正電圧側に選択してPCS側とし、ダイオード38とダイオード46をオンにしてインダクタ
- 25 33とインダクタ42の両端を短絡する。また、切替え信号がGSMを指定

したときには、スイッチ 5 4 をオフにするとともにスイッチ 5 4 a をオンにして、G S M 側のみを動作状態にする。

このように、パッケージ 4 8 内で発振される発振周波数を用いて負電源を生成しているため、外部から負電圧を与える必要はない。また、この負電圧
5 はスイッチ手段 4 0 で正電源と切替えることにより、パッケージ 4 8 の端子 6 8 は 1 つにもかかわらず、正負 2 種類の電源を出力することができる。また、正電源も端子 5 3 から得ているので専用の端子は必要ない。

なお、本実施例においては、第 1 の出力端子 5 2 から周波数切替えにより出力される第 1 の周波数 D C S と第 2 の周波数 P C S との比は略 1 . 1 とし
10 ている。また、第 1 の周波数と第 2 の出力端子 5 2 a から出力される第 3 の周波数 G S M との比は略 2 . 0 としている。このように、第 1 の出力端子 5 2 から出力される第 1 の周波数と第 2 の周波数が略等しいので、第 1 の発振回路を形成するバリキャップダイオード 3 0 の周波数感度が略等しくなる。従って、実施例 2 で説明するように、周波数帯の違いによる周波数感度の切替
15 えをする必要はない。なお第 1 図において、5 0 a、5 8 a、2 3 a、2 4 a、2 5 a、2 7 a、2 9 a、3 6 a はコンデンサ、7 2、5 5 a、5 6 a、5 7 a、3 4 a はインダクタ、5 3 は端子、2 1 a、2 2 a はトランジスタである。

(実施例 2)

次に、本発明の実施例 2 について図面を基に平衡型発振器の例を用いて説明する。第 2 図は、本発明の複数周波数帯用電圧制御発振器の回路図であり、
20 トランジスタで形成された平衡型増幅回路 1 2 1 の一方の端子 A と他方の端子 B との間にインダクタとキャパシタで形成された共振回路 1 2 2 が接続され、この共振回路 1 2 2 を形成するインダクタ 1 2 3 の両端にスイッチ手段 1 2 4 が接続されている。また、前記一方の端子 A からは、トランジスタで
25 形成されたバッファ回路 1 2 5 を介して出力端子 1 2 6 に接続され、他方の

端子Bからは、トランジスタで形成されたバッファ回路127を介して出力端子128に接続されている。ここで、バッファ回路125とバッファ回路127とは同一の回路である。なお、これらのトランジスタはFETを用いても良い。

- 5 平衡増幅回路121は、インダクタ123の中間点123aに設けられた電源Vccからインダクタ123の一方の半分とインダクタ142を介してトランジスタ135のコレクタに接続されている。また、インダクタ123の他方の半分とインダクタ143を介してトランジスタ134のコレクタに接続されている。また、このトランジスタ134と135のエミッタは接続
10 されて、定電流源136を介してグラウンドに接続されている。トランジスタ134のベースはコンデンサ137を介してトランジスタ135のコレクタに接続されるとともに端子Aに接続されている。同様にトランジスタ135のベースはコンデンサ139を介してトランジスタ134のコレクタに接続されるとともに端子Bに接続されている。140はバイパスコンデンサであ
15 り電源Vccとグラウンドとの間に接続されている。

- 共振回路122は、端子Aと端子Bとの間にインダクタンスとキャパシタンスを並列接続して形成されている。そしてそのインダクタンスは、パターンで形成されたインダクタ142と、パターンで形成されたインダクタ123と、パターンで形成されたインダクタ143とがこの順序に接続され
20 ている。また、インダクタ142と143は同じインダクタンス値のものでありハイバンド例えば1800MHz帯の周波数を発振させるときに用いるものである。また、このインダクタ142、143と、インダクタ123とが直列に接続されてローバンド、例えば略900MHz帯の周波数の発振に用いられる。

- 25 なお、実装面積を小さくする為にインダクタ142と143は一つのイン

ダクタとして、どちらか一箇所にまとめることもできる。

また、共振回路 1 2 2 のキャパシタンスは、ローバンドの周波数感度を調整するコンデンサ 1 4 7 と、バリキャップダイオード 1 4 8 と、ハイバンドの周波数感度を調整するコンデンサ 1 4 9 と、直流カット用のコンデンサ 1 4 4 とがこの順に接続されている。また、バリキャップダイオード 1 4 8 の両端には、このバリキャップダイオード 1 4 8 の周波数感度を補正するコンデンサ 1 5 0 が接続されて、そのカソード側にはインダクタ 1 5 1（抵抗でも可）を介して制御端子 1 5 2 に接続されている。なお、コンデンサ 1 4 7 は直流カットの働きもしている。

10 ここで、制御端子 1 5 2 に制御電圧を加えると電流はインダクタ 1 5 1、バリキャップダイオード 1 4 8、抵抗 1 5 3 と流れてバリキャップダイオード 1 4 8 の両端に電圧が加わる。そこで、制御端子 1 5 2 に加える電圧を変化させるとバリキャップダイオード 1 4 8 に加わる電圧が変化し、バリキャップダイオード 1 4 8 の静電容量が変化する。

15 1 2 4 はスイッチ手段であり、インダクタ 1 2 3 の両端にコンデンサ 1 5 4 とダイオード 1 5 5 とコンデンサ 1 3 8 がこの順に直列に接続されている。この接続点であるコンデンサ 1 5 4 とダイオード 1 5 5 のカソード側から抵抗 1 5 6 を介してスイッチ回路 1 6 1 の共通端子に接続されるとともにコンデンサ 1 5 8 を介してグラウンドに接続されている。また、コンデンサ 20 1 3 8 とダイオード 1 5 5 のアノード側からは、抵抗 1 5 9 を介してグラウンドに接続されている。

コンデンサ 1 4 9 の両端には、コンデンサ 1 6 2 とダイオード 1 6 3 とコンデンサ 1 1 9 がこの順に直列接続されている。この接続点であるとともにダイオード 1 6 3 のアノード側から抵抗 1 6 4 を介して前記スイッチ回路 25 1 6 1 の共通端子に接続されている。また、コンデンサ 1 1 9 とダイオード

163のカソード側には抵抗141を介してグランドに接続されている。ここで、コンデンサ158はバイパスコンデンサであり、コンデンサ154と138と162と119は直流カット用のコンデンサである。

5 なお、ダイオード163に並列接続されたコンデンサ149は、本実施例ではバリキャップダイオード148と直列に接続しているが、これは、バリキャップダイオード148と並列に接続してもローバンドとハイバンドの周波数感度を略等しくすることができる。

10 発振出力は、バッファ回路125、127を通った後、平衡・不平衡変換回路157を介して負電源生成回路160に接続されている。この負電源生成回路160の負電源出力スイッチ回路161の一方の端子に接続されるとともに他方の端子は正電源Vccに接続されている。ここで、トランジスタ134、135、定電流源136、バッファ回路125、127、負電源生成回路160、スイッチ回路161は同一のパッケージ内に集積化されている。

15 従って、発振器の出力エネルギーの一部を用いて生成された負電源と外部から供給される正電源を用いて、半導体で形成されたスイッチ回路161をオン・オフするので、ダイオード155、163で形成されるスイッチ回路の確実なオン・オフができる。したがって、ダイオード155、163のオン・オフ不完全による発振周波数や発振レベルの温度特性が安定する。また、
20 負電源はパッケージ内で生成されるので、負電源を外部から供給する必要はない。更に、負電源は同一パッケージ内で発振される発振器の発振周波数を用いるので、負電源用の発振器を別に設ける必要はない。

25 以上のように構成された複数周波数帯用電圧制御発振器において、スイッチ回路161を他方の端子である正電源側にすると、ダイオード155が開放（以下、オフという。）になるとともにダイオード163が短絡（以下、

オンという。)になる。すなわち、このときの等価回路は第3図に示すようになる。

第3図において、インダクタ142とインダクタ123とインダクタ143が直列接続された直列接続体165とし、コンデンサ150とバリキャップダイオード148が並列接続された並列接続体166と、この並列接続体166とコンデンサ147とが直列に接続された直列接続体167とすると、端子AB間のインピーダンスは直列接続体165と直列接続体167の並列接続となる。従って、このときの共振周波数は、インダクタンスである直列接続体165とキャパシタンスである直列接続体167の並列共振周波数になる。ここで、制御端子152に加える制御電圧を可変することにより、ローバンドの周波数を可変することができる。このローバンドは、本実施例では第5図の180に示すように、周波数は略900MHzで制御電圧による周波数可変幅181は80MHzである。第5図において、横軸は周波数であり縦軸は出力レベルである。

また、第2図において、スイッチ回路161を一方の端子である負電源側にすると、ダイオード155がオンになるとともにダイオード163がオフになる。すなわち、このときの等価回路は第4図に示すようになる。

第4図において、インダクタ142とインダクタ143が直列接続された直列接続体169とし、コンデンサ150とバリキャップダイオード148が並列接続された並列接続体166と、この並列接続体166とコンデンサ147とコンデンサ149が直列に接続された直列接続体170とすると、端子AB間のインピーダンスは直列接続体169と直列接続体170の並列接続となる。従って、このときの共振周波数は、インダクタンスである直列接続体169とキャパシタンスである直列接続体170の並列共振周波数になる。ここで、制御端子152に加える制御電圧を可変することにより、ハ

イバンドの周波数を可変することができる。このハイバンドは、本実施例では第5図の182に示すように、周波数は略1800MHzで制御電圧による周波数可変幅183は170MHzである。第5図において、横軸は周波数であり縦軸は出力レベルである。

5 なお、ここでローバンドはGSMの900MHzとしたがAMPS（米方式の800MHz帯携帯電話方式）では800MHz帯（824MHz～894MHz）となる。また、ハイバンドではDCSの1800MHzとしたがPCSでは1900MHz帯（1850MHz～1990MHz）となる。

10 第6図は本発明の複数周波数帯用電圧制御発振器に用いた多層基板171の分解斜視図である。第6図において、172は多層基板171の1層目の表面であり電子部品が装着されている。173は2層目でありグランドパターン174が一面に設けられている。175は3層目でありパターンで形成されたインダクタ176が形成されている。177は4層目でありグランド
15 パターン178が一面に設けられている。

176aはインダクタ176からビアホール（多層基板の内層におけるスルーホール）179で1層目に導出されたインダクタの一部である。このインダクタの一部176aは、確実に調整範囲をカバーできるようにインダクタ176の10分の1程度のインダクタとしている。このようにインダクタ
20 176の一部を多層基板171の表面に導出することにより、インダクタンスの調整が容易となる。

ここで、インダクタ176の上層である2層目173のグランドパターン174は、インダクタ176のQを大きくするために、その対応する部分にグランドパターンの不形成部174aを設けている。また、インダクタ176
25 の下層である4層目177のグランドパターン178にも同様の理由でイン

ダクタ 176 の Q を大きくするために、その対応する部分にグランドパターンの不形成部 178 a を設けている。

このように、インダクタンスの大部分を多層基板 171 の内層に形成することにより、小型化を図ることができる。また、インダクタ 176 はパターンで形成されているので、例え振動してもインダクタンス値が変わることはなく移動体通信用の複数周波数帯用電圧制御発振器としては優れた性能を発揮することになる。

なお、このインダクタ 176 とその一部 176 a は、第 2 図のインダクタ 123、142、143 が適用できる。

10 以上説明したように、本実施例における複数周波数帯用電圧制御発振器は、発振出力を用いて負電源を生成し、この負電源をスイッチ回路 161 で切替えてダイオード 155 と 163 に与えるので、ダイオード 155 と 163 のオン・オフを確実に行うことができる。また、ローバンドの出力周波数の感度を調整するコンデンサ 147 と、ハイバンドの出力周波数の感度を調整するコンデンサ 149 とを夫々独立に有しているので、これらのコンデンサ
15 147、149 により、ハイバンドとローバンドにおける発振周波数の感度を夫々独立に設定できるとともに、ローバンドとハイバンドの周波数感度を等しくすることができる。

また、平衡型発振器としているので、電源 V_{cc} に流れる電流が常に一定となり、他の回路との干渉妨害を小さくすることができ、これにより高周波化と多機能化によって、より複雑化が避けられない移動体通信装置の高周波発振器を従来並みの占有面積で実現できる効果がある。

また、インダクタ 142 とインダクタ 143 とは略同じインダクタンス値にすると共に、この間にインダクタ 123 が接続されている。従って、スイッチ手段 124 が接続されるインダクタ 123 の中間点 123 a に電源
25

Vccを設け、その両側にインダクタ142とインダクタ143が接続されるので、スイッチ手段124の影響が少なくなるとともに、共振回路の平衡度も良い。

また、最初にインダクタ123をダイオード155で短絡してインダクタ
5 142か或いはインダクタ143をトリミングすることによりハイバンドの周波数を独立に調整することができる。次にダイオード155を開放してインダクタ123をトリミングすることによりローバンドの周波数を独立に調整することができる。

また、バリキャップダイオード148と並列にコンデンサ150が接続さ
10 れているので、バリキャップダイオード148の周波数感度を容易に補正することができる。

また、一つのパッケージに集積回路化されているので、他の回路、例えばLNAやMIXなどとともに集積回路化すれば小型化も図れる。

15 産業上の利用可能性

以上のように本発明によれば、バッファトランジスタの出力に接続された負電源生成回路と、この負電源生成回路の出力と正電源とを選択的に切替える第2のスイッチ手段と、外部から出力周波数切替え信号が入力されるモード切替え回路とを設け、少なくとも前記発振トランジスタと前記バッファト
20 ランジスタと前記負電源生成回路と前記モード切替え回路とを1つのパッケージに集積するとともに、前記第2のスイッチ手段の出力で前記第1のスイッチ手段の開放・短絡を制御することにより、前記出力端子から低い周波数帯の発振出力と高い周波数帯の発振出力とが選択的に出力される複数周波数帯用電圧制御発振器であり、発振器の出力で生成された負電源と、外部から
25 供給される正電源を用いて、半導体で形成されたスイッチ手段をオン・オフ

するので、スイッチ手段の確実なオン・オフができる。したがって、スイッチ手段のオン・オフ不完全による発振周波数や発振レベルの温度特性が安定する。

また、負電源はパッケージ内で生成されるので、負電源を外部から供給する必要はない。

更に、負電源は同一パッケージ内で発振される発振器の発振周波数を用いるので、負電源用の発振器を別に設ける必要はない。

更にまた、モード切替え回路で正電源と負電源とをパッケージ内で切替えているので、この信号の出力ピンは1つで良く、パッケージのピン数を削減することができる。

請 求 の 範 囲

1. 発振トランジスタのベースとコレクタとの間にインダクタとキャパシタ
が並列接続された共振回路と、前記発振トランジスタの出力が接続され
5 たバッファトランジスタと、このバッファトランジスタの出力が接続され
た第1の出力端子と、前記キャパシタを形成するバリキャップダイオ
ードに制御電圧を印加する制御端子と、前記インダクタを形成する第1
のインダクタと第2のインダクタの直列接続体のうち前記第2のインダ
クタの両端を開放・短絡するとともに半導体で形成された第1のスイッ
10 チ手段とを備え、前記バッファトランジスタの出力に接続された負電源
生成回路と、この負電源生成回路の出力と正電源とを選択的に切替える
第2のスイッチ手段と、外部から出力周波数切替え信号が入力されるモ
ード切替え回路とを設け、少なくとも前記発振トランジスタと前記バッ
ファトランジスタと前記負電源生成回路と前記モード切替え回路とを1
15 つのパッケージに集積するとともに、前記第2のスイッチ手段の出力で
前記第1のスイッチ手段の開放・短絡を制御することにより、前記出力
端子から低い周波数帯の発振出力と高い周波数帯の発振出力とが選択的
に出力される構成としたことを特徴とする複数周波数帯用電圧制御発振
器。
- 20 2. 発振トランジスタと共振回路とで形成される発振器は不平衡型発振器と
したことを特徴とする請求の範囲第1項に記載の複数周波数帯用電圧制
御発振器。
3. 発振トランジスタと共振回路とで形成される発振器は平衡型発振器とし
たことを特徴とする請求の範囲第1項に記載の複数周波数帯用電圧制御
25 発振器。

4. 第1のスイッチ手段はダイオードで形成されたことを特徴とする請求の範囲第1項に記載の複数周波数帯用電圧制御発振器。
5. 第1のスイッチ手段はトランジスタで形成されたことを特徴とする請求の範囲第1項に記載の複数周波数帯用電圧制御発振器。
- 5 6. 第2のスイッチ手段に供給される正電源は集積されたパッケージの電源端子から供給されることを特徴とする請求の範囲第1項に記載の複数周波数帯用電圧制御発振器。
7. 発振トランジスタのベースとコレクタとの間にインダクタとキャパシタが並列接続された共振回路と、前記発振トランジスタの出力が接続されたバッファトランジスタと、このバッファトランジスタの出力が接続された第1の出力端子と、前記キャパシタを形成するバリキャップダイオードに制御電圧を印加する制御端子と、前記インダクタを形成する第1のインダクタと第2のインダクタの直列接続体のうち前記第2のインダクタの両端を開放・短絡するとともに半導体で形成された第1のスイッチ手段とを備え、前記バッファトランジスタの出力に接続された負電源生成回路と、この負電源生成回路の出力と正電源とを選択的に切替える第2のスイッチ手段と、外部から出力周波数切替え信号が入力されるモード切替え回路とを設け、少なくとも前記発振トランジスタと前記バッファトランジスタと前記負電源生成回路と前記モード切替え回路とを1
10 20 25
- つのパッケージに集積するとともに、前記第2のスイッチ手段の出力で前記第1のスイッチ手段の開放・短絡を制御することにより、前記出力端子から低い周波数帯の発振出力と高い周波数帯の発振出力とが選択的に出力される構成とし、前記バッファトランジスタのコレクタと電源との間にはパターンで形成された第3のインダクタと第4のインダクタが直列接続されるとともに、前記第4のインダクタの両端を第2のスイッ

チ手段の出力で開放・短絡する第3のスイッチ手段を設け、前記第3のインダクタの長さは高い方の出力周波数帯の略4分の1波長に設定するとともに、前記第3のインダクタと前記第4のインダクタの合成パターンの長さは低い方の出力周波数帯の略4分の1波長に設定したことを特徴とする複数周波数帯用電圧制御発振器。

- 5
8. 第1の発振トランジスタのベースとコレクタとの間にインダクタとキャパシタが並列接続された共振回路と、前記第1の発振トランジスタの出力が接続された第1のバッファトランジスタと、この第1のバッファトランジスタの出力が接続された第1の出力端子と、前記キャパシタを形成するバリキャップダイオードに制御電圧を印加する制御端子と、前記
- 10
- インダクタを形成する第1のインダクタと第2のインダクタの直列接続体のうち前記第2のインダクタの両端を開放・短絡するとともに半導体で形成された第1のスイッチ手段とを備え、前記第1のバッファトランジスタの出力に接続された負電源生成回路と、この負電源生成回路の出力と正電源とを選択的に切替える第2のスイッチ手段と、外部から出力周波数切替え信号が入力されるモード切替え回路とを設け、少なくとも
- 15
- 前記第1の発振トランジスタと前記第1のバッファトランジスタと前記負電源生成回路と前記モード切替え回路とを1つのパッケージに集積するとともに、前記第2のスイッチ手段の出力で前記第1のスイッチ手段の開放・短絡を制御することにより、前記第1の出力端子から低い周波数帯の発振出力と高い周波数帯の発振出力とが選択的に出力される構成とし、さらに第2の発振トランジスタのベースとコレクタとの間に接続されたインダクタとキャパシタの並列接続体と、前記第2の発振トランジスタの出力が接続された第2のバッファトランジスタと、この第2の
- 20
- バッファトランジスタの出力が接続された第2の出力端子と、前記キャ
- 25

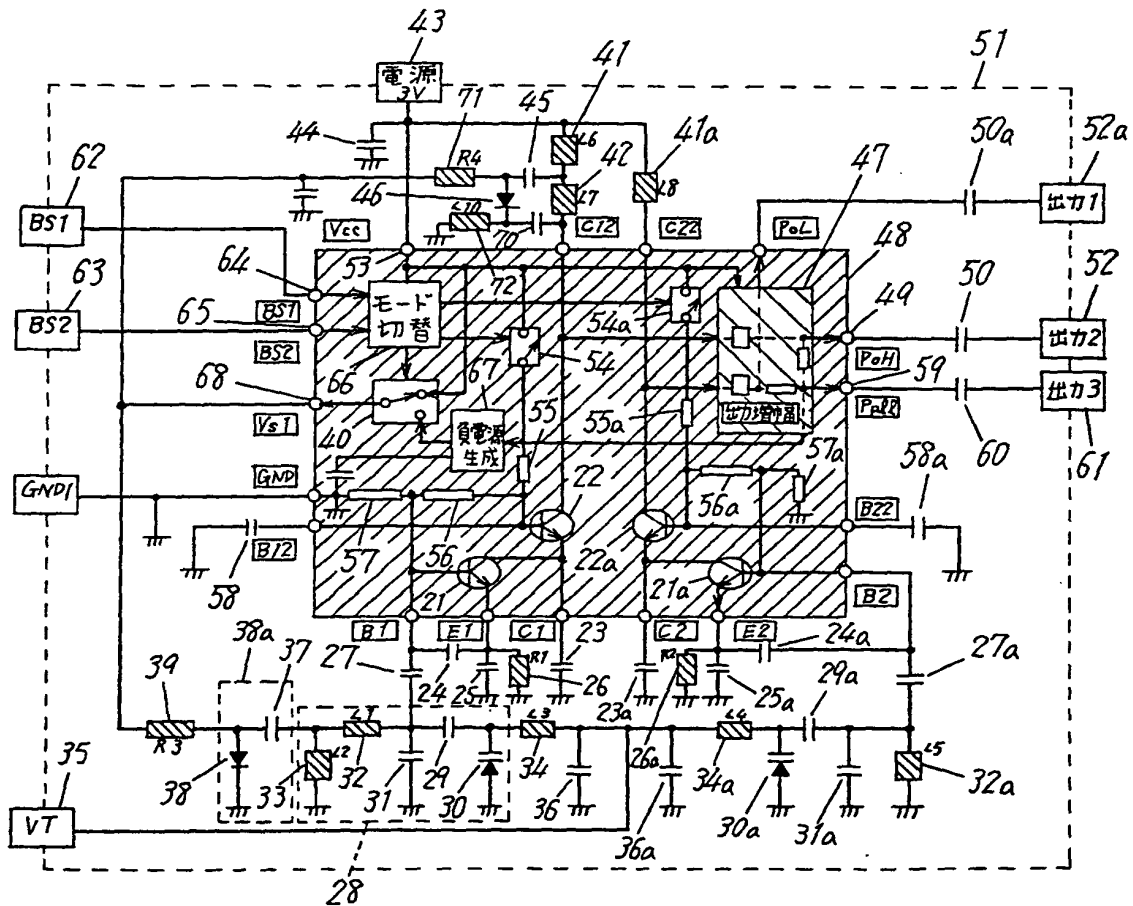
- パシタを形成する第2のバリキャップダイオードに制御電圧を印加する制御端子と、前記インダクタを形成する第5のインダクタとを設け、外部からの切替え信号によりモード切替え回路で、第1の出力端子からの出力と前記第2の出力端子からの出力とを選択的に出力する構成としたことを特徴とする複数周波数帯用電圧制御発振器。
- 5
9. 第1の出力端子から周波数切替えにより出力される第1の周波数と第2の周波数との比は1.2以下にするとともに、前記第1の周波数と第2の出力端子から出力される第3の周波数との比は1.5以上としたことを特徴とする請求の範囲第8項に記載の複数周波数帯用電圧制御発振器。
- 10
10. 第1の出力端子から出力されているときには、第2の発振トランジスタによる発振をオフとし、第2の出力端子から出力されているときには第1の発振トランジスタによる発振をオフとしたことを特徴とする請求の範囲第8項に記載の複数周波数帯用電圧制御発振器。
- 15
11. 第1の出力端子と第2の出力端子の出力の論理和出力を第3の出力端子に導出したことを特徴とする請求の範囲第8項に記載の複数周波数帯用電圧制御発振器。
- 20
13. 発振トランジスタのベースとコレクタとの間にインダクタとキャパシタが並列接続された共振回路と、前記発振トランジスタの出力が接続されたバッファトランジスタと、このバッファトランジスタの出力が接続された第1の出力端子と、前記キャパシタを形成するバリキャップダイオードに制御電圧を印加する制御端子と、前記インダクタを形成する第1のインダクタと第2のインダクタの直列接続体のうち前記第2のインダ
- 25

- クタの両端を開放・短絡するとともに半導体で形成された第1のスイッチ手段とを備え、前記バッファトランジスタの出力に接続された負電源生成回路と、この負電源生成回路の出力と正電源とを選択的に切替える第2のスイッチ手段と、外部から出力周波数切替え信号が入力されるモード切替え回路とを設け、少なくとも前記発振トランジスタと前記バッファトランジスタと前記負電源生成回路と前記モード切替え回路とを1つのパッケージに集積するとともに、前記第2のスイッチ手段の出力で前記第1のスイッチ手段の開放・短絡を制御することにより、前記出力端子から低い周波数帯の発振出力と高い周波数帯の発振出力とが選択的に出力される構成とし、前記発振トランジスタと共振回路とで形成される発振器は平衡型発振器とし、バリキャップダイオードと直列或いは並列に第1のコンデンサを設け、この第1のコンデンサの両端に接続されたスイッチ手段の開放・短絡でローバンドとハイバンドの周波数感度を略等しくしたことを特徴とする請求の範囲第8項に記載の複数周波数帯用電圧制御発振器。
14. バリキャップダイオードと第1のコンデンサの接続体に第2のコンデンサが直列に接続されたことを特徴とする請求の範囲第13項に記載の複数周波数帯用電圧制御発振器。
15. 第1のインダクタを略同じインダクタ値に2分割すると共に、この2分割されたインダクタの間に第2のインダクタが接続されたことを特徴とする請求の範囲第13項に記載の複数周波数帯用電圧制御発振器。
16. バリキャップダイオードと並列にコンデンサが接続されたことを特徴とする請求の範囲第13項に記載の複数周波数帯用電圧制御発振器。
17. 第1のインダクタと第2のインダクタはパターンで形成されたことを特徴とする請求の範囲第13項に記載の複数周波数帯用電圧制御発振器。

18. 第1のインダクタをトリミングしてハイバンドの出力周波数を調整した後、第2のインダクタをトリミングしてローバンドの出力周波数を調整することを特徴とする請求の範囲第17項に記載の複数周波数帯用電圧制御発振器。
- 5 19. 多層基板の内層にインダクタが形成されるとともに、このインダクタの上層或いは下層はグランドパターンが除去されたことを特徴とする請求の範囲第18項に記載の複数周波数帯用電圧制御発振器。
20. 多層基板の内層にインダクタが形成されるとともに、このインダクタの一部をビアホールで表面に導出し、前記インダクタの一部をトリミング
10 することにより周波数を調整することを特徴とする請求の範囲第18項に記載の複数周波数帯用電圧制御発振器。
21. スイッチ手段は、第1のコンデンサと第2のインダクタの両端に夫々スイッチングダイオードを接続し、これらのスイッチングダイオードの両端に同一パッケージ内で生成された電圧を加えることにより、開放・短
15 絡を制御することを特徴とする請求の範囲第13項に記載の複数周波数帯用電圧制御発振器。
22. 第1のインダクタは1個のインダクタンス素子で形成されたことを特徴とする請求の範囲第13項に記載の複数周波数帯用電圧制御発振器。

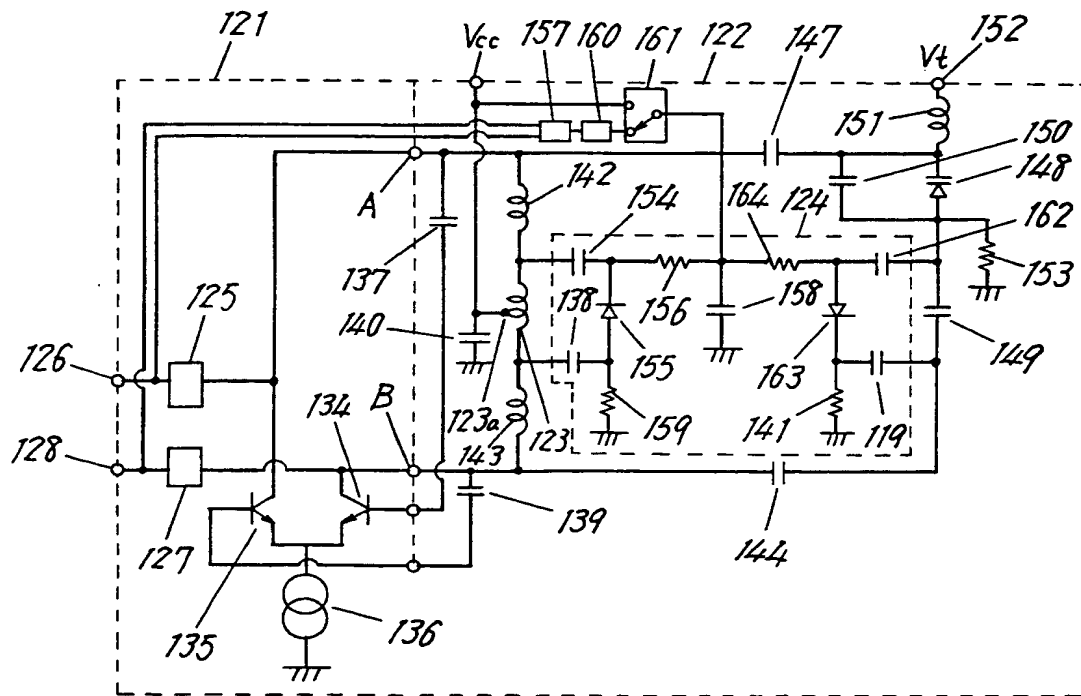
1/12

Fig. 1



2/12

Fig. 2



3/12

Fig.3

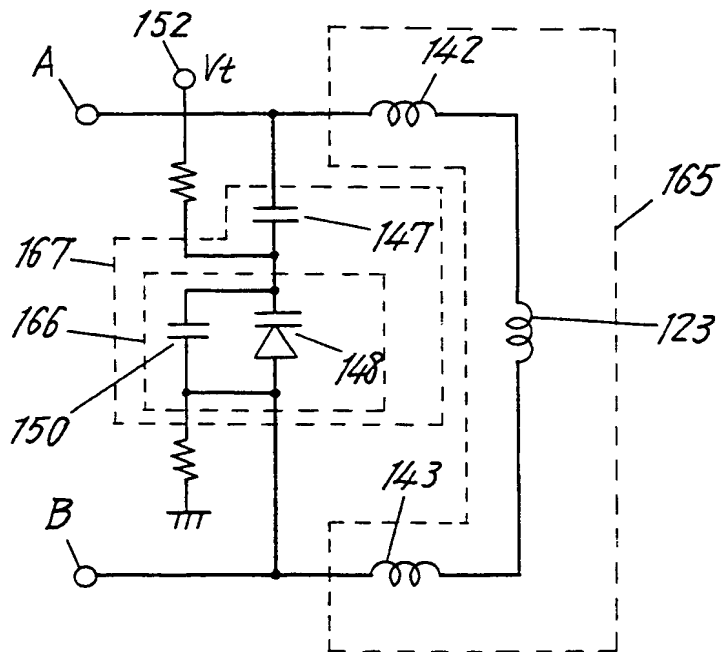
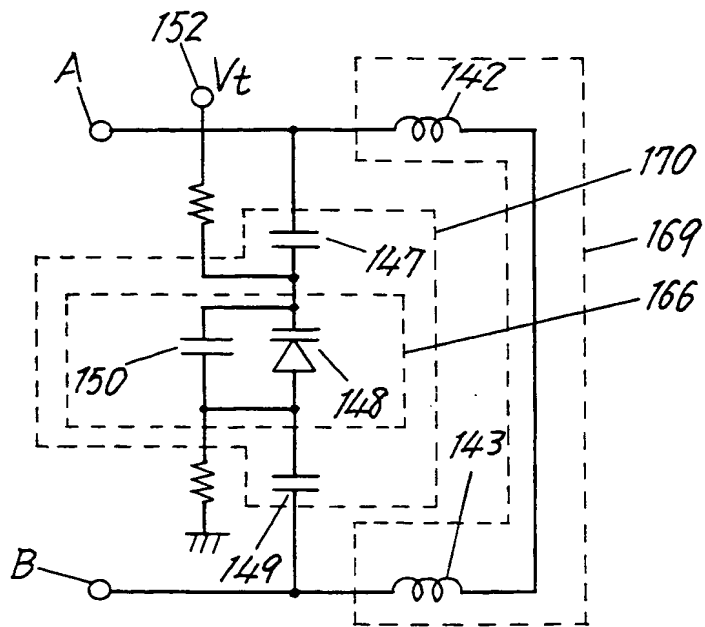
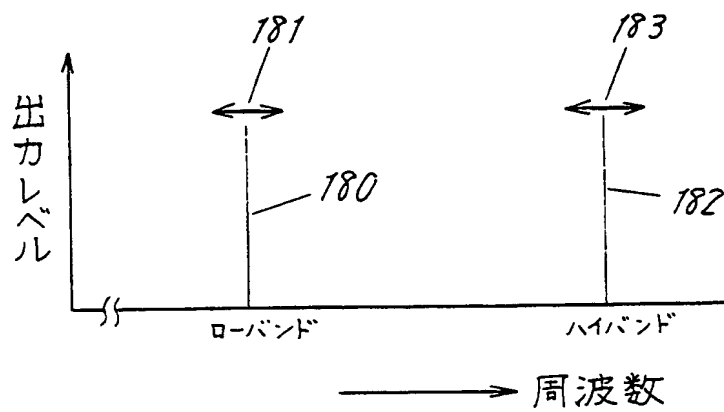


Fig.4



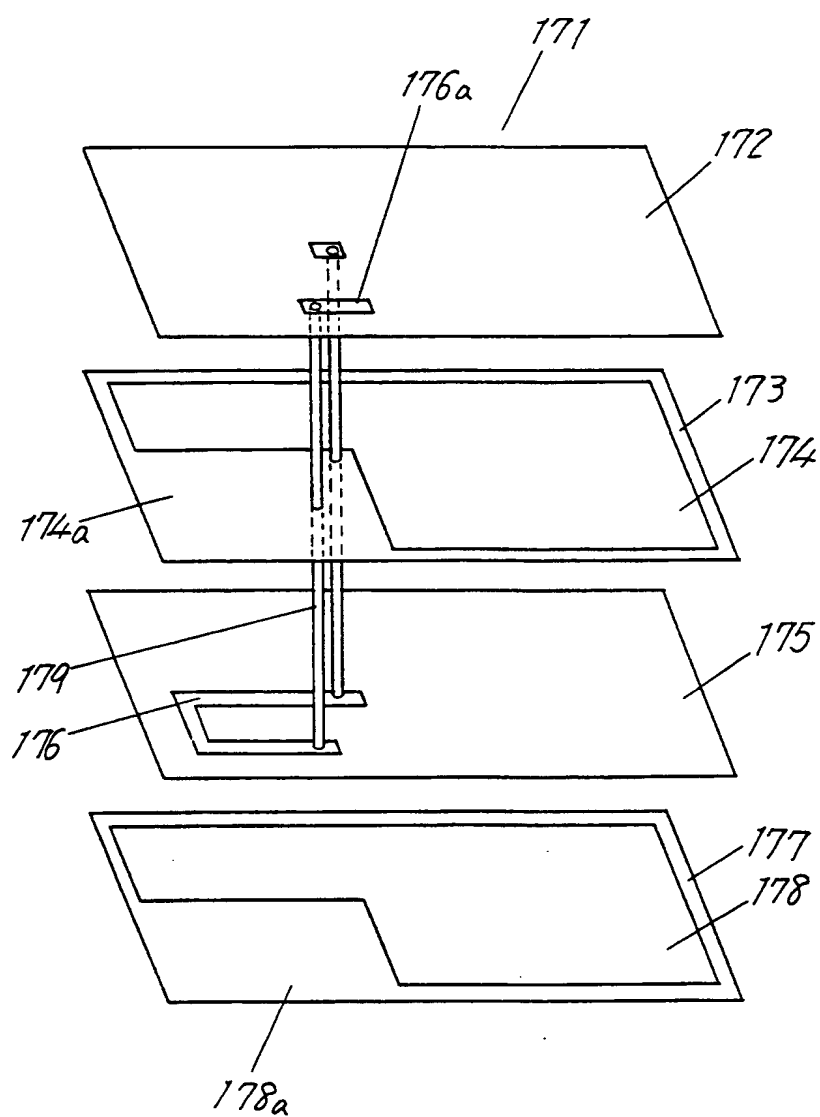
$\frac{4}{12}$

Fig. 5



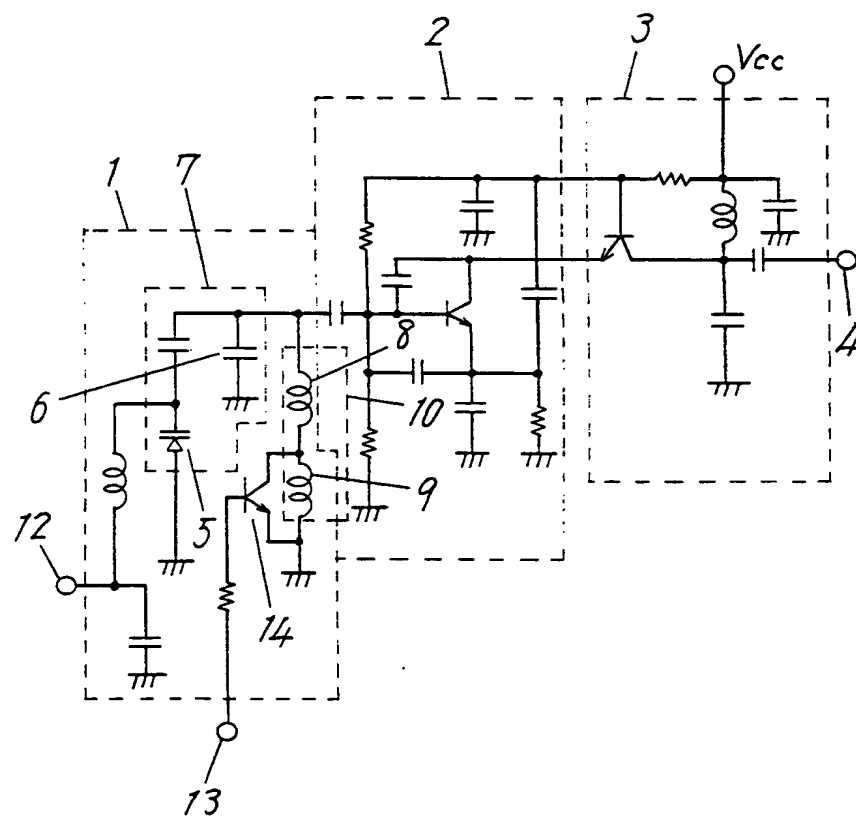
5/12

Fig. 6



6/12

Fig. 7



図面の参照符号の一覧表

	1	……共振回路
	2	……発振回路
	3	……バッファ回路
5	4	……出力端子
	5	……バリキャップダイオード
	6	……コンデンサ
	7	……並列接続体
	8	……インダクタ
10	9	……インダクタ
	10	……直列接続体
	12	……制御端子
	13	……バンド切替え端子
	14	……電子スイッチ
15	21	……発振トランジスタ
	21a	……トランジスタ
	22	……バッファトランジスタ
	22a	……トランジスタ
	23	……コンデンサ
20	23a	……コンデンサ
	24	……コンデンサ
	24a	……コンデンサ
	25	……コンデンサ
	25a	……コンデンサ
25	26	……抵抗

- 2 6 a ……抵抗
- 2 7 ……結合コンデンサ
- 2 7 a ……コンデンサ
- 2 8 ……共振回路
- 5 2 9 ……コンデンサ
- 2 9 a ……コンデンサ
- 3 0 ……バリキャップダイオード
- 3 0 a ……バリキャップダイオード
- 3 1 ……コンデンサ
- 10 3 1 a ……コンデンサ
- 3 2 ……インダクタ
- 3 2 a ……インダクタ
- 3 3 ……インダクタ
- 3 4 ……インダクタ
- 15 3 4 a ……インダクタ
- 3 5 ……制御端子
- 3 6 ……バイパスコンデンサ
- 3 6 a ……コンデンサ
- 3 7 ……コンデンサ
- 20 3 8 ……ダイオード
- 3 8 a ……スイッチ手段
- 3 9 ……インダクタ
- 4 0 ……スイッチ手段
- 4 1 ……インダクタ
- 25 4 1 a ……インダクタ

- 4 2 ……インダクタ
- 4 3 ……正電源
- 4 4 ……バイパスコンデンサ
- 4 5 ……コンデンサ
- 5 4 6 ……ダイオード
- 4 7 ……出力回路
- 4 8 ……パッケージ
- 4 9 ……端子
- 5 0 ……コンデンサ
- 10 5 0 a ……コンデンサ
- 5 1 ……複数周波数帯用電圧制御発振器
- 5 2 ……出力端子
- 5 2 a ……出力端子
- 5 3 ……端子
- 15 5 4 ……スイッチ
- 5 4 a ……スイッチ
- 5 5 ……抵抗
- 5 5 a ……インダクタ
- 5 6 ……抵抗
- 20 5 6 a ……インダクタ
- 5 7 ……抵抗
- 5 7 a ……インダクタ
- 5 8 ……コンデンサ
- 5 8 a ……コンデンサ
- 25 5 9 ……端子

	6 0	……	コンデンサ
	6 1	……	端子
	6 2	……	端子
	6 3	……	端子
5	6 4	……	端子
	6 5	……	端子
	6 6	……	モード切替え回路
	6 7	……	負電源生成回路
	6 8	……	端子
10	7 0	……	コンデンサ
	7 1	……	インダクタ
	7 2	……	インダクタ
	1 1 9	……	コンデンサ
	1 2 1	……	平衡型増幅回路
15	1 2 2	……	共振回路
	1 2 3	……	インダクタ
	1 2 3 a	……	中間点
	1 2 4	……	スイッチ手段
	1 2 5	……	バッファ回路
20	1 2 6	……	出力端子
	1 2 7	……	バッファ回路
	1 2 8	……	出力端子
	1 3 4	……	トランジスタ
	1 3 5	……	トランジスタ
25	1 3 6	……	定電流源

- 1 3 7 ……コンデンサ
- 1 3 8 ……コンデンサ
- 1 3 9 ……コンデンサ
- 1 4 0 ……コンデンサ
- 5 1 4 1 ……抵抗
- 1 4 2 ……インダクタ
- 1 4 3 ……インダクタ
- 1 4 4 ……コンデンサ
- 1 4 7 ……コンデンサ
- 10 1 4 8 ……バリキャップダイオード
- 1 4 9 ……コンデンサ
- 1 5 0 ……コンデンサ
- 1 5 1 ……インダクタ
- 1 5 2 ……制御端子
- 15 1 5 3 ……抵抗
- 1 5 4 ……コンデンサ
- 1 5 5 ……ダイオード
- 1 5 6 ……抵抗
- 1 5 7 ……平衡・不平衡変換回路
- 20 1 5 8 ……コンデンサ
- 1 5 9 ……抵抗
- 1 6 0 ……負電源生成回路
- 1 6 1 ……スイッチ回路
- 1 6 2 ……コンデンサ
- 25 1 6 3 ……ダイオード

12/12

- 1 6 4 ……抵抗
- 1 6 5 ……直列接続体
- 1 6 6 ……並列接続体
- 1 6 7 ……直列接続体
- 5 1 6 9 ……直列接続体
- 1 7 0 ……直列接続体
- 1 7 1 ……多層基板
- 1 7 2 …… 1 層目の表面
- 1 7 3 …… 2 層目
- 10 1 7 4 ……グラウンドパターン
- 1 7 4 a ……不形成部
- 1 7 5 …… 3 層目
- 1 7 6 ……インダクタ
- 1 7 6 a ……インダクタの一部
- 15 1 7 7 …… 4 層目
- 1 7 8 ……グラウンドパターン
- 1 7 8 a ……不形成部
- 1 7 9 ……ビアホール
- 1 8 0 ……略 9 0 0 M H z
- 20 1 8 1 ……周波数可変幅
- 1 8 2 ……略 1 8 0 0 M H z
- 1 8 3 ……周波数可変幅
- A ……端子
- B ……端子
- 25 V c c ……電源

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00116

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03B5/12, H03B5/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03B5/00-5/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
WPI/L

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 50-125659, A (Alps Electric Co., Ltd.), 02 October, 1975 (02.10.75), Fig. 1 (Family: none)	1-22
Y	JP, 9-148888, A (Alps Electric Co., Ltd.), 06 June, 1997 (06.06.97), Fig. 1 & DE, 19647383, A & US, 5808531, A & KR, 97031278, A	1-22
Y	JP, 61-32603, A (Fujitsu Limited), 15 February, 1986 (15.02.86), Fig. 1 (Family: none)	1-22
Y	JP, 4-249409, A (Matsushita Electric Ind. Co., Ltd.), 04 September, 1992 (04.09.92), Full text; all drawings	1-22
Y	JP, 11-127028, A (Alps Electric Co., Ltd.), 11 May, 1999 (11.05.99), Full text; all drawings & EP, 911960, A	3,13-22

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
06 April, 2001 (06.04.01)

Date of mailing of the international search report
17 April, 2001 (17.04.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00116

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 8-316731, A (TDK Corporation), 29 November, 1996 (29.11.96), Fig. 1 (Family: none)	5
Y	JP, 11-168324, A (Murata MFG. Co., Ltd.), 22 June, 1999 (22.06.99), Fig. 1 & DE, 19855886, A & US, 6072373, A	7
Y	JP, 11-298242, A (Matsushita Electric Ind. Co., Ltd.), 29 October, 1999 (29.10.99), Fig. 1 (Family: none)	8-22
Y	JP, 11-312925, A (Kyocera Corporation), 09 November, 1999 (09.11.99), page 5, Column 7, lines 1 to 8 (Family: none)	9
Y	JP, 3-18106, A (Fujitsu Limited, Fujitsu VLSI Ltd.), 25 January, 1991 (25.01.91), Fig. 3 & US, 5130939, A	12
Y	JP, 61-113410, U (Alps Electric Co., Ltd.), 17 July, 1986 (17.07.86), page 11, lines 6 to 15; Fig. 1 (Family: none)	13,14,16
Y	JP, 4-329705, A (Murata MFG. Co., Ltd.), 18 November, 1992 (18.11.92), Full text; all drawings (Family: none)	17,18,20
Y	JP, 10-51236, A (Sumitomo Metal Industries, Ltd.), 20 February, 1998 (20.02.98), Fig. 2 (Family: none)	19

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03B5/12, H03B5/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03B5/00-5/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2001年
日本国登録実用新案公報 1994-2001年
日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
WPI/L

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 50-125659, A (アルプス電気株式会社) 2. 10月. 1975 (02. 10. 75) 図1 (ファミリーなし)	1-22
Y	JP, 9-148888, A (アルプス電気株式会社) 6. 6月. 1997 (06. 06. 97) 図1 & DE, 19647383, A & US, 5808531, A & KR, 97031278, A	1-22

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

06. 04. 01

国際調査報告の発送日

17.04.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 正明

5W

4241

電話番号 03-3581-1101 内線 3574

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 61-32603, A (富士通株式会社) 15. 2月. 1986 (15. 02. 86) 第1図 (ファミリーなし)	1-22
Y	J P, 4-249409, A (松下電器産業株式会社) 4. 9月. 1992 (04. 09. 92) 全文, 全図	1-22
Y	J P, 11-127028, A (アルプス電気株式会社) 11. 5月. 1999 (11. 05. 99) 全文, 全図 & EP, 911960, A	3, 13-22
Y	J P, 8-316731, A (ティーディーケイ株式会社) 29. 11月. 1996 (29. 11. 96) 図1 (ファミリーなし)	5
Y	J P, 11-168324, A (株式会社村田製作所) 22. 6月. 1999 (22. 06. 99) 図1 & DE, 19855886, A & US, 6072373, A	7
Y	J P, 11-298242, A (松下電器産業株式会社) 29. 10月. 1999 (29. 10. 99) 図1 (ファミリーなし)	8-22
Y	J P, 11-312925, A (京セラ株式会社) 9. 11月. 1999 (09. 11. 99) 第5頁第7欄第1~8行 (ファミリーなし)	9
Y	J P, 3-18106, A (富士通株式会社, 富士通ヴィエルエス アイ株式会社) 25. 1月. 1991 (25. 01. 91) 第3図 & US, 5130939, A	12
Y	J P, 61-113410, U (アルプス電気株式会社) 17. 7月. 1986 (17. 07. 86) 第11頁第6~15行, 図1 (ファミリーなし)	13, 14, 16
Y	J P, 4-329705, A (株式会社村田製作所) 18. 11月. 1992 (18. 11. 92) 全文, 全図 (ファミリーなし)	17, 18, 20

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 10-51236, A (住友金属工業株式会社) 20. 2月. 1998 (20. 02. 98) 図2 (ファミリーなし)	19

